

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10125925

(43) Date of publication of application:

15.05.1998

(51)Int.CI.

H01L 29/786

(21)Application number: 08282507 (71)Applicant:

TOSHIBA CORP

(22) Date of filing: 24.10.1996

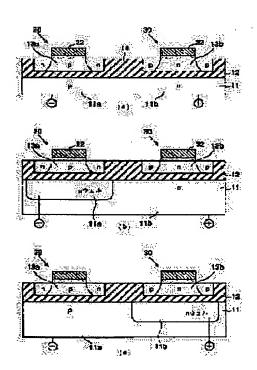
(72)Inventor:

YOSHIDA MASAKO OWAKI YUKITO FUSE TSUNEAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To make it possible to reduce more a parasitic capacitance in an SOI transistor and to speed up the operating speed of the SOI transistor. SOLUTION: The integrated circuit is one of a structure, wherein a CMOS circuit consisting of an N-channel MOS transistor 20 and a P-channel MOS transistor 30 is formed on an SOI substrate 10 with an Si layer 13 formed on an Si substrate 11 via an SiO2 film 12. In this case, the part, which is positioned under the formation region of the transistor 20, of the substrate 11 is formed into a partype region 110 the p formed into a p-type region 11a, the part, which is positioned under the formation region of the transistor 30, of the substrate 11 is formed into an n-type region 11b, a negative potential is applied to the region 11a and a positive potential is applied to the region 11b.



THIS PAGE BLANK (USPTO)

蚱

噩

特開平10-125925 (11)特許出願公開番号

(43)公開日 平成10年(1998) 5月15日

613A 621 H01L 29/78 数别的中 H01L 29/786 (51) Int Q.

(全 7 耳) 0 証状因の数5 客变耐水 未耐水

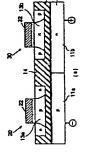
(21) 出版等9	特國平8-282507	(71) 出现人	(71) 出軍人 000003078
(ZZ)	平成8年(1996)10月24日		株式会社東芝 神奈川県川崎市幸区場川町72番地
		(72)発明者	吉田 様子
			神疾川氓川島市幸区小向東芝町 1 番地
			式会社東芝研究開発センター内
		(72) 発明者	大路中華人
			神疾川県川県市韓区小向東芝町 1 番地
			式会社東芝研究開発センター内
		(72) 発明者	台路 格股
			神炎川県川亀市学区小向東芝町 1 船劫
			式会社東芝研究開発センター内
		(74) 代理人	(74)代理人 弁理士 的红 武彦 (外6名)

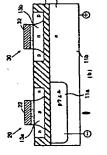
半時存供被回路 (34) [史野の名様]

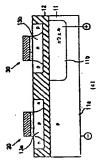
(57) [菱和]

SOIトランジスタにおける寄生容量をより 低減することができ、SOIトランジスタの動作速度を 更に務選化する。

MOS回路を形成した半導体集積回路において、Si塔 てSiW13を形成したSOI 塔板10にnMOSトラ ンシスタ20及びpMOSトランジスタ30からなるC 型領域11a、pMOSトランジスタ30の形成領域下 ではn型領接11bにし、p型領域11aに負の電位を [解決手段] Si 基板11.EにSiO2 数12を介し 版11をnMOSトランジスタ20の形成領域下ではp 印加し、n型領域115に近の祖位を印加する。







[特許請求の範囲]

C少なくとも1つのMOSトランジスタと、前配Si基 【請米項1】S;基板上に絶縁版を介してS;増を形成 饭に所定の電位を与える手段とを具備してなることを特 JたSOI 塔板と、このSOI 塔板のSi 隔に形成され 徴とする半導体集積回路。

たnMOSトランジスタ及びpMOSトランジスタから (請求項2] Si 基板上に絶縁酸を介してSi 婚を形成 したSOI站板と、このSOI路板のSi層に形成され なるCMOS回路と、前記Si基板に負の単位を与える 手段とを具備してなることを特徴とする半導体集積回

[請水項3] Si 基板上に絶縁数を介してSi 陽を形成 ランジスタからなるCMO S回路を形成した半導体集長 したSO.I 基板にnMOSトランジスタ及びpMOSト 回路においた、

前記Si基板をnMOSトランジスタ形成鎖域下ではp にし、p型領域に負の電位を印加し、n型領域に正の電 型領域、pMOSトランジスタ形成領域下ではn型領域 位を印加してなることを特徴とする半導体集積回路。

楺

楺

ランジスタからなるCMOS回路を形成した半導体集積 【請次項4】 Si 基板上に絶縁版を介してSi 層を形成 したSOI 碁板に n MOSトランジスタ及び p MOSト 回路においた、

ランジスタ形成領域下に正の配位を印加してなることを 前記S:基板をnMOSトランジスタ形成領域下とpM OSトランジスタ形成領域下で絶縁分離し、pMOSト ランジスタ形成領域下に負の電位を印加し、nMOSト 特徴とする半導体集積回路。

される仏紋のMOSトランジスタと、前配ボディ部の下 のSi島板に随ボディ部の多数キャリアがはほされる祖 **位を与える手段とを具備してなることを特徴とする半項** 【請求項5】Si基板上に絶縁酸を介してSi増を形成 れ、チャネル下部の不純物領域である各々のボディ部が **電気的に分離され、且つ該ボディ部に所定の電位が印加** したSOI基板と、このSOI基板のSi燈に形成さ 4.集校回路。

[発明の詳細な説明]

[000]

【発明の属する技術分野】本発明は、Si 基板上に絶縁 数を介してSi麝を形成したSOI 基板にMOSトラン ソスタを作成した半導体集積回路に関する。

[0002]

め、Si基板上に純緑酸を介してSiBを形成したSO 1 基板にMOSトランジスタを作成したSOIトランジ スタ技術の導入が行われ初めている(文献:C.E.Chen e t al, IEDH 84,pp702) 。このSOIトランジスタは、近 【従来の技術】近年、LSIの回路動作を高速化するた 数層容量が比較的小さいため高速動作に有利である。 【0003】図8に、従米のSOIトランジスタの一例

を示す。Si 基板1上にSi O 2 版2を介してSi M3 を形成してSOI 基板が構成され、Si 増3はn MOS 形成領域3aとpMOS形成領域3bに絶縁分離されて いる。そして、各々の領域33.3bに、ゲート做化版 ス・ドレイン近散路6(6 a。 6 b)を形成して n M O SトランジスタとpMOSトランジスタが形成されてい 5。なお、S i 基板 l は一校にプローティング又は接地 4 (4a, 4b), ゲート電極5 (5a, 5b).プノー されている。

[0004] しかしながら、この種の501トランジス ン領域とチャネル下部領域との間に位散醫腎量が存在す る。この拡散層容量は、パルク基板上のMOSIランジ タを用いた半導体集積回路においても、ソース・ドレイ スタよりも小さいものの無視できるものではなく. こ が寄生容量となり高速化の阻害要因なっている。

れている。なお、図9の (a) は平面図、 (b) は断面 スタにおいて一位にポディと呼ばれるチャネル領域下部 にコンタクトを取り、外部より単位を与えることが行わ 図であり、8はボディ路、9はコンタクト部を示してい [0005] また、図9に示すように、SO1トランジ の不純物領域に、しきい値制御或いはフローティングボ ディ効果 (ボディ部の電位が他路から切り着され定まら なくなりトランジスタ特性がばらつく効果)移動のため

[0006] しかしながら、絶縁版2上の5:増3の数 ジスタの場合で正の電圧を印加しオンさせようとした場 合等においては、ポディ部8の多数キャリアが追い払わ れ、コンタクト部9に印加した電圧が十分にチャネル下 母が薄い場合、或いはゲート直接5にn型MOSトラン 部に伝達されない。このため、しきい値を副領する、蛟 いはフローティングボディ効果を抑制する等の効果が得 られない。また、ある程度単位伝達が行われてもチャネ ル幅が広い場合は、コンタクト語9とボディ語8の距離 が増れている場所において自配所望の幼果を連成できる いという西部がめった。

[0001]

一ス・ドレイン領域とチャネル下部領域との間に寄生料 量が存在し、これが動作速度の高速化を妨げる委団とな ングボディ効果を抑制する方法もあるが、値々の要因で [発明が解決しようとする課題] このように従来、50 | トランジスタを用いた半導体集積回路においても、ソ っていた。また、501トランジスタにおいて、ポティ 私位を制御することによりしきい値制御及びフローティ

[0008] 本発明は、上記事情を考慮して成されたも ので、その目的とするところは、SOIトランジスタに おける沓生軽量をより低減することができ、SOIトラ ンジスタの動作選度を更に高速化できる半導体集積回路 十分な効果を得られない問題があった。 を提供することにある。

[0009]また、本発明の他の目的は、ボディ電位を

3

3

制御するSOIトランジスタにおいて、しきい値制β及 びフローティングボディ効果の抑制を十分に達成し得る 半導体集積回路を提供することにある。

[0010]

[課題を解決するための手段] (構成) 本発明の省子は、SO1トランジスタのSi2 板の電位及び森電型を制御することにより、トランジス タを路達化することにある。即ち本発明は、次のような 構成を採用している。

(1) Si基板上に絶縁数を介してSi瘤を形成したSOI基板と、このSOI基板のSi瘤に形成された少なくとも1つのMOSトランジスタとを備えた半導体維維回路において、Si基板に所定の電位を与える手段を設けたこと。

(1-1) nMOSトランジスタにおいて、S; 塔板に負の 配位を印加する。

(I-J) pMOSトランジスタにおいて、S; 基板に正の電位を印加する。

(2) Si基板上に絶縁数を介してSi粉を形成したSOI基板と、このSOI基板のSi獨に形成されたnMOSトサンジスタがななるCMOSトサンジスタからなるCMOSBを備えた半導体集積回路において、Si 遊伝(図の電位を与える手段を抜けたこと。

(3) Si基板上に絶縁数を介してSi砲を形成したSOI基板にnMOSトランジスタ及びpMOSトランジメタ及びpMOSトランジスタからなるCMOS回路を形成した半導体域回路において、Si基板をnMOSトランジスタ形成領域下ではp型領域、pMOSトランジスタ形成領域下ではp型領域に、p型領域に負の電位を印めし、n型領域に正の電位をすること。

(4) Si 基板上に絶棒数を介してSi Mを形成したSOI 基地にnMOSトランジメタ及びpMOSトランジスタ及でpMOSトランジスタ及びpMOSトランジスタ及びpMOSトランジスタ及びpMOSトランジスタ及びpMOSトランジスタ及びpMOSトランジスタ形成的域下に最中分離し、pMOSトランジスタ形成的域下に従の型位を印加し、nMOSトランジスタを伝えた中域によい、T 本ル下部の不規格が成べるものののでは、 H J の基ボディ部に所定の流位が印加される複数のMOSトランジスタをを加えた中域体媒積回路において、ボディ部の下のSi 基板に基ボディ部の多数キャリアが移起される単位を与える手段を整けたこと。 (5-1) MOSトランジスタの各ボディ部に対応して、 総

化をはかることができる。

[0011] nMOS-SOIトランジスタにおいてSi 接板に負の電位を与えると、このSOIトランジスタのソース・ドレイン領域とチャネル部及びチャネル下部との間が空気化する。このため、寄生容量が減少し、SOIトランジスタの高速化をはかることができる。同様に、pMOS-SOIトランジスタにおいてSi 基板に近の電位を与えても寄生容量が減少し、SOIトランジスタの高速化をはかることができる。

[0012]

【発明の実施の形態】以下、本発明の諸細を図示の実施 8.隠によって説明する。 (第1の実績形態)図114、本名明の第1の実績形態に 係わるnMOS-SOIトランジスタの業子構造を示す 析画図である。 [0013] 図中の10はSOI基板であり、このSO [基板10は、Si基板11上にSiO2 版(絶縁版) 12を介して薄版SiM 13を形成して構成される。SiM 13はp型不純物のドープによりpfiM 13 a となっており、このpfiM 13 a にはn M OS - SOI トランメタ2 0が形成されている。即ち、SiM 13 上にケート商化版2 1を介してケート商紙2 2が形成され、ケート商紙2 2の回頭でSiM 13にn型不純物がドービングされてソース・ドレイン位散図 23、2 4が形成されている。

【0014】ここまでの基本構成は従来と同様であるが、本実施形態ではS:基板11に負の電位が印加されている。このように本実施形態では、従来フローティング右しくは接地(又は電源電位Vcc)であったS:基板11に、負の電位を与える。すると、nMOS-SOIトランジスク20のソース・ドレインであるn型位配置とSOIのク型・ネル及びチャネル下部間が空之代し、寄生符数が減少する。このため、nMOS-SOIトランジスク20の動作スピードの高速化をはかることが可能となる。

(第2の実施形態) 図2は、米洛明の第2の実施形態に 係わるpMOS-SOIトランジスタの某子構造を示す 断面回である。なお、図1と同一部分には同一符号を付して、その非しい説明は名略する。

[0015] 本実施移歴が完に契明した第1の実施形態 と異なる点は、SO1トランジスタにDMOSを用いた ことである。Si始13はn型不純物のドープによりn 領域13bとなっており、このn領域13bにはnMO S-SO1トランジスタ30が形成されている。明ち、 Si協13上にゲート微化版31を介してゲート構超3 2か形成され、ゲート電温32の同個でSi協13に 型示説物がドーピングされてソース・ドレイン放散略3 3、34が形成されている。

【0016】ここまでの基本構成は従来と同様である 6、本実施形態ではSi基板11に正の単位が印加され

の単位を与えることにより、SOIトランジスタの高速

(作用)本発明によれば、徒来フローティング若しくは 接地電位であったSOIトランジスタのS; 基板に所留

は数下のSi 場板装面に不純物拡散層を選択的に形成し、以不純物拡散層に必要な単位を印加することする。

ている。このように本実施形態では、従来フローティング者しくは接地 (又は電線配位Vcc) であった S: 基板11に、正の電位を与える。すると、pMO S - SO I トランジスタ 3 0のン・ス・ドレインであるp壁拡散場と SO 1のn型チャネル及びチャネル下部間が空光化、 寄生等量が減少する。このだめ、pMO S - SO I トランジスタ 3 の動作スピードの高速化をはかることが可能となる。

(第3の実施形態) 図3は、本発明の第3の実施形態に 係わるCMOS-SOIトランジスタの業子構造を示す 断面図である。なお、図1及び図2と同一部分には同一 符号を付して、その詳しい説明は省略する。

【0017】S: 母13は素子分離S: 02 級14により分離されており、分離された名割場 (り割は13a, n鎖は13b) にnMOS-SO.Iトランジスタ20とpMOS-SOIトランジスタ30か形成されている。各々のトランジスタ20, 30の基本構成は第1, 2の実施形態と全く回様である。

[0018] 本実施形態では、pMOS-S01トランジスタ30とnMOS-S01トランジスタ20の基板11は共通にし、第1の実施形態と同様に基板11に対の電位を与える。すると、nMOS-S01トランジスタ20では第1の実施形態と同様に寄生容量の低下により動作スピードが遠くなる。一方、pMOS-S01トランジスタ30では寄生容量の増加により動作スピードが値くなる。

[0019] しかし、nMOS-SOIトランジスタ20とpMOS-SOIトランジスタ30セインバータを10とpMOS-SOIトランジスタ30セインバータを18成した回路全体としての動作速度は、デバイスバラメータに依存するが、後述する図4(b)に示すように、現在のサブミクロンデバイスではより高速になる結果が得られている。

【のの20】ここで、図4(a)は、S01基板を用いたMOSトランジスタのしきい値の基板框圧依存性を示すグラフであり、(b)はS01基板を用いたMOSトランジスタで構成されたインパータチェーンの直接時間の基板配圧依存性のグラフである。基板はいずれもp型Siである。

[0021] 図4 (a) によると、pMOS-SOIトランジスタは、nMOS-SOIトランジスタはも基板では、mMCによるしきい値の変化が顕著である。基板に付加している負の電位が大きくなるほど、pMOS-SOIトランジスタのしきい値はかさくなっている。一方、nMOS-SOIトランジステでは、基板に付加している負の電位が大きくなっても、しきい値はあまり変化しな

【0022】図4(b)は、インパータチェーンの立ち上がり(up)時間と立ち下がり(down)時間とその半均時間(average)を選定したグラブである。このグラフによると、法板に気の電信がかかるほど、p MOS -

SOIトランジスタ,nMOS-SOIトランジスタ共に遅延時間が短くなっている。

[0023] 南述のように、基板に負の電位をかけると、一位に n MOS - SO 1 トランジスタは寄生容量の低下により動作スピードが速くなり、 p MOS - SO 1 トランジスタでは俗生容量の増加により動作スピードが遅くなる。しかし、図4(a)に見られるように、p MOS - SO 1 トランジスタは寄生容量の増加による動作スピードの低下よりも、しきい値の低下による動作スピードの地加の割合が大きく、その結果として高速化することになる。

【0024】なお、本実施形態やは基板11をp型Si としたが、n型Siとしても何等問題ない。

(第4の実施形態) 図5は、本発明の第4の実施形態に 係わるCMOS-SOIトランジスタの業子構造を示す 断面図である。なお、図3と同一部分には同一符号を1 して、その詳しい説明は名略する。

[0025] 本実施形態は、Si基板11をp钢体11aとn領域11bに分類し、各々の領域11a, 11bに正負の氧位を送水的に向加したものである。図S(a)では、Si基板11において、pMOS-SOIトランジスク20の下部領域11aをn型にし、nMO

(a)では、5・44代11において、pMOS~501ドサンジスタ20の下部投稿11aをn型にし、nMOS~501ドサンジスタ30の下部投稿11bをp型にしている。そして、p倒後11aに質の構位を自闭し、nの後11bに正の単位を自然している。

S, nMOS共に寄生容量の低下により高速化をはかることができる。なお、基板11のpn積合部は近バイアスになるため電流は近れない。 (第5の実施形態) 図6は、本発明の第5の実施形態に

係わるCMOS-SOIトランジスタの菓子構造を示す

501トランジスタ20の基板には負の電位を与えることにより、第1,2の実施形態と同様の効果で、pMO

断面図である。なお、因3と向一部分には向一符号を付して、そのほしい規則は名配する。 【0028】本実施形態が第3の実施形態と異なる点は、Si増13のみならず、Si基版11も絶縁分離したことにある。即ち、因6 (a)では、Si増13を総様分離するためのSiO2 版14の下に、Si基版11を分離するための基級分離SiO2 版15を建けている。因6(b)では、Si増13の総 分離とSi基版11の分離を、共通の分離SiO2 版16を用いて行っ [0029] そして、分種された基板11のnMOS-S01トランジスタ20の下の領域11』には外の確認

3

cめのSiO₂ 版15又は16を放けることにより、n MOS, pMOSの基板がn型かり型かに拘らず任意の [0030] 本実施形態では、Si 基板11を分離する **配位を基板に与えることができ、従ってSOIトランジ** スタをより高速化することができる。

(前6の実施形態) 図7は、本発明の前6の実施形態に 果わるnMOS-SOIトランジスタの牧子構造を示す 新面図である。なお、図1と同一部分には同一符号を付 して、その詳しい故明は治略する。

S;基板をp型とし、埋込み酸化版(Si02 駁)12 る。そして、n領域18に負の電位を印加している。な また、前起図9(a)に示すように、トランジスタのポ ディ部となるp領域13aには、図示しないコンタクト 部を介して外部から所定の単位が印加されるものとなっ [0031] トランジスタ部の構成は第1の実施形態と お、の領域18は必ずしも必要なく、の領域18を設け **基本的に同様であるが、本実施形態ではこれに加えて、** ない場合はp型Si基板11に0Vを印加すればよい。 の下部のSi狢板11の表面にn钔俎18を投けてい

ジスタの埋め込み後化版12の下部を n 型の不純物層と し、核不純物層に負の電位を印加する、或いはp型の不 **純物隔とし 0 V を印加してこの陽のワークファンクショ** ランジスタのポディ下部と埋め込み骸化駿12との境界 筋の空気化を低減し、盤ましくは多数キャリアを移越さ せることができる。これにより、ボディ部の伝導特性を して、しきい値制御及びフローティングボディ効果抑制 [0032] 本実結形態では、nMOS-SOIトラン ンによりポテンシャルを引き下げること等により、数ト 向上させ、コンタクト邸に印加された私位を十分トラン ジスタのボディ邸に到達させることができ、その結果と を十分に実現することが可能となる。

数であれば用いることが可能である。さらに、501以 を用いることも可能である。その他、本発明の要旨を選 [0033]なお、本発明は上述した各実施形態に限定 されるものではない。実施形態ではゲート絶縁級として SiOzのような低化版を用いたが、これに限らず絶縁 **らず、気化散、その他の絶縁散を用いることが可能であ** 坂の埋込み絶縁校としてもSi0~のような依化校に段 5。また、SOI 仏版ののSi 始の代りに別の半導体類 敗しない範囲で、種々質形して実施することができる。

果フローティング近しくは投地電位であったSOI-トラ 【発明の効果】以上非述したように本発明によれば、従 ンジスタのSi髙板に所望の花位を与えることにより、

(0034)

SOIトランジスタにおける寄生容器をより低減するこ とができ、SOIトランジスタの動作速度を更に高速化 することができる。

るS01トランジスタにおいて、ポディ部の下のSi 基 [0035] 主た本発明によれば、ポディ配位を制御す 仮に該ボディ部の多数キャリアが誘起される電位を与え ることにより、しきい値制物及びフローティングポディ 幼果の抑制を十分に達成することができる。

(図面の仮与な校別)

[図1] 第1の実施形態に係わるSOIトランジスタの 常子構造を示す断面図。

[図2] 第2の実施形態に係わるSOIトランジスタの 紫子構造を示す断面図。

[図3] 第3の実施形態に保わるSOIトランジスタの

常子構造を示す断面図

[図4] SOIトランジスタのしきい値の基板電圧依存 性とSOIインパータチェーンの建矩時間の基板電圧低

[図5] 算4の実施形理に係わる501トランジスタの 存性を示す特性図。

紫子構造を示す断面図。

[図6] 第5の実施形態に保わる501トランジスタの [図1] 新6の実施形態に係わるSOIトランジスタの 素子構造を示す断面図。

[図8] 従来のS O I トランジスタの君子構造を示す断 紫子構造を示す断面図。

[図9] 従来のSOIトランジスタの紫子構造を示す平 面図と断道図。

【作号の規則】

0…S01塔板

11…Si 基板 1 a ... p #()#

(絶縁版) 2…SiO₂₩ 1 1 5 … n 新建

3...S i 🖓

3 a … p 新线

4…米户分割S;〇2 阪 13 b ... n Mit.

15.16…塔板分離SiO2版 18 ··· n 5014

20...nMOS-SOI 192728 21,31…ゲート位化版

22,32…分十八百極

23, 33…ソース拡散層

30...pMOS-S011527749 24. 34…ドレイン抗散局

ē

3

0

インパーサチェーンのVaub保存品(Vond.7V) (**区**4) 2 Va.b.O 8.0 2.0 2.0-(9図) 3 信息圧の 8 8 8 [図2] Az Cu 4 (E) = [88] 3 3 [[[] MI CO Œ

